Ministerul Educației și Cercetării
Universitatea Valahia din Târgoviște
Facultatea de Inginerie Electrică, Electronică și Tehnologia Informației
Departamentul de Electronică, Telecomunicații și Inginerie Energetică

FIŞA DISCIPLINEI

1. Date despre program

1.1 Instituţia de învăţământ superior	Universitatea VALAHIA din Târgovişte
1.2 Facultatea/Departamentul	Inginerie Electrică, Electronică şi Tehnologia Informaţiei
1.3 Departamentul	Electronică, Telecomunicaţii şi Inginerie Energetică
1.4 Domeniul de studii	Inginerie Electronică, Telecomunicații și Tehnologii Informaționale
1.5 Ciclul de studii	Licenţă
1.6 Programul de studii/Calificarea	Electronică aplicată

2. Date despre disciplină

2.1 Denumirea disciplinei				**Sisteme cu FPGA**			
2.2 Titularul activităţilor de curs				Prof. dr. ing. Henri George COANDĂ			
2.3 Titularul activităţilor de Laboratorsi proiect				Prof. dr. ing. Henri George COANDĂ			
2.4 Anul de studiu	IV	2.5 Semestrul	II	2.6 Tipul de evaluare	E	2.7 Regimul disciplinei	B S

3. Timpul total estimat (ore pe semestru al activităţilor didactice)

3.1 Număr de ore pe săptămână	4	din care: 3.2 curs	2	3.3 laborator	2
3.4 Total ore din planul de învăţământ	56	din care: 3.5 curs	28	3.6 laborator	28
Distribuţia fondului de timp					ore
Studiul după manual, suport de curs, bibliografie şi notiţe					15
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate şi pe teren					8
Pregătire seminarii/laboratoare, teme, referate, portofolii şi eseuri					15
Tutoriat					2
Examinări					4
Alte activităţi					-
3.7 Total ore studiu individual					44
3.9 Total ore pe semestru					100
3.10 Numărul de credite					4

4. Precondiţii (acolo unde este cazul)

4.1 de curriculum	Circuite integrate digitale 1, 2. Dispozitive eelectronice. Circuite electronice
4.2 de competenţe	

5. Condiţii (acolo unde este cazul)

5.1 de desfăşurare a cursului	Videoproiector, whiteboard, laptop, Moodle, Microsoft Teams (online)
5.2 de desfăşurare a seminarului/laboratorului	Software: Vivado; Hardware: placi de dezvoltare Analog Devices, calculator

6. Obiectivele disciplinei (reieşind din grila competenţelor specifice acumulate)

7.1 Obiectivul general al disciplinei	Însușirea principiilor și metodelor de proiectare și implementare a sistemelor digitale programabile bazate pe FPGA și dezvoltarea aptitudinilor de descriere hardware în limbajul Verilog, simulare, sinteză, configurare și verificare a circuitelor și aplicațiilor digitale utilizând platforme FPGA și medii software specializate.
7.2 Obiectivele specifice	- Cunoașterea arhitecturii și principiilor de funcționare a dispozitivelor logice programabile PLD, PLA, CPLD și FPGA, precum și a structurii și resurselor platformelor de dezvoltare FPGA. - Dezvoltarea aptitudinilor de descriere, proiectare și implementare în limbajul Verilog a circuitelor digitale combinaționale și secvențiale, inclusiv a automatelor cu stări finite. - Dezvoltarea capacității de proiectare și integrare a interfețelor și modulelor digitale pentru comunicații și achiziție de date, utilizând periferice, porturi de intrare/ieșire și protocoale precum UART. - Formarea aptitudinilor de utilizare a mediului Vivado și a platformelor FPGA pentru simularea, sinteza, implementarea, testarea și depanarea aplicațiilor digitale, cu evaluarea funcționării și a rezultatelor obținute.

7. Rezultatele învățării

7.1 Cunoștințe *(Rezultatul asimilării de informații prin învățare. Cunoștințele reprezintă ansamblul de fapte, principii, teorii și practici legate de un anumit domeniu de muncă sau de studiu. Pot fi teoretice și/sau faptice)* - C1. Studentul/absolventul descrie, explică și corelează principiile de funcționare și arhitecturile dispozitivelor logice programabile, structura și resursele sistemelor FPGA, nivelurile de abstractizare și elementele limbajului Verilog, metodele de proiectare a circuitelor digitale combinaționale și secvențiale, precum și principiile de realizare a interfețelor, comunicațiilor și sistemelor de achiziție de date implementate pe platforme FPGA.
7.2 Aptitudini *(Capacitatea de a aplica cunoștințe și de a utiliza know-how pentru a duce la îndeplinire sarcini și a rezolva probleme. Aptitudinile sunt descrise ca fiind cognitive (implicând utilizarea gândirii logice, intuitive și creative) sau practice (implicând dexteritate manuală și utilizarea de metode, materiale, unelte și instrumente))* - A1. Studentul/absolventul proiectează, descrie și implementează în limbajul Verilog circuite digitale combinaționale și secvențiale, automate cu stări finite și module funcționale, integrându-le în aplicații realizate pe platforme FPGA. - A2. Studentul/absolventul analizează, simulează, testează și verifică funcționarea circuitelor și sistemelor FPGA, identifică erorile de descriere sau implementare și evaluează corectitudinea rezultatelor în raport cu cerințele funcționale. - A3. Studentul/absolventul dezvoltă și integrează aplicații FPGA pentru interfațarea perifericelor, generarea și prelucrarea semnalelor digitale, comunicații UART și achiziția datelor de la senzori, utilizând module hardware programabile. - A4. Studentul/absolventul utilizează mediul Vivado și platformele de dezvoltare FPGA pentru elaborarea proiectelor Verilog, simularea funcțională, sinteza, implementarea, configurarea dispozitivelor și verificarea experimentală a aplicațiilor realizate.
7.3 Responsabilitate și autonomie *(Capacitatea cursantului de a aplica în mod autonom și responsabil cunoștințele și aptitudinile sale)* - RA1. Studentul/absolventul își asumă responsabilitatea pentru corectitudinea proiectării, implementării și verificării circuitelor și aplicațiilor FPGA, respectând cerințele funcționale, regulile de utilizare a echipamentelor și bunele practici de proiectare digitală. - RA2. Studentul/absolventul demonstrează autonomie în analiza cerințelor, selectarea arhitecturilor și soluțiilor de implementare, identificarea erorilor și adaptarea modulelor hardware la particularitățile aplicațiilor dezvoltate. - RA3. Studentul/absolventul colaborează eficient în activitățile de dezvoltare și testare a sistemelor FPGA, își asumă sarcinile repartizate și prezintă clar și argumentat arhitecturile, soluțiile de implementare și rezultatele verificărilor efectuate.
7.4 Arii de învățare EUR-ACE - CI – Cunoaștere și înțelegere: cunoașterea arhitecturilor și principiilor de funcționare a dispozitivelor FPGA, a limbajului Verilog, a circuitelor digitale combinaționale și secvențiale și a metodelor de implementare a sistemelor digitale programabile. - AI – Analiză inginerească: analiza cerințelor funcționale ale circuitelor și sistemelor digitale, verificarea comportării modulelor Verilog prin simulare și evaluarea rezultatelor implementării pe platforme FPGA. - PI – Proiectare inginerească: proiectarea arhitecturilor și modulelor digitale în limbajul Verilog, realizarea circuitelor combinaționale și secvențiale, a automatelor cu stări finite și a aplicațiilor de interfațare, comunicații și achiziție de date. - PrI – Practică inginerească: utilizarea mediului Vivado și a plăcilor de dezvoltare FPGA pentru sinteza, configurarea, implementarea, testarea și depanarea circuitelor și aplicațiilor digitale. - CM – Comunicare: documentarea proiectelor Verilog, prezentarea arhitecturilor și a rezultatelor simulării și implementării, explicarea soluțiilor tehnice și comunicarea concluziilor experimentale. - FC – Formare continuă: utilizarea autonomă a documentației tehnice a dispozitivelor FPGA, a ghidurilor de utilizare a mediilor de dezvoltare și a resurselor de specialitate pentru actualizarea cunoștințelor și dezvoltarea unor aplicații digitale noi.

8. Conţinuturi

8.1 Curs	Metode de predare	Observaţii
Introducere – istorie, arhitecturi cu PLD, PLA, CPLD, FPGA, structura placa de dezvoltare Nexys 4DDR. Exemple	prelegerea, prelegerea – dezbatere, explicaţia, problematizarea, brainstorming-ul, reflecţia personală, exerciţiul, dezbaterea, studiul de caz *Mijloace de învăţământ* slide-uri PPT videoproiector laptop	4
Limbaje de programare – Verilog vs VHDL. Exemple		2
Solutii de programare in Verilog – behavioral Level, RTL Level, Gate Level, Switch Level. Exemple. Solutii de abstractizare		2
Elemente si structura de limbaj Verilog – identificatori, module, porturi, registre si noduri, operatori, blocuri (executie secventiala, paralela), controlul executiei in timp, intarzieri, directive de compilare, parametrii		2
Implementari pentru circuite fundamentale combinationale – porti, multiplexor/demultiplexor, comparatoare, sumatoare		4
Implementari pentru circuite fundamentale secventiale – bistabili, registre, numaratoare, masini cu stari finite (Mealy, Moore), memorii RAM, ROM		2
Implementarea in Verilog a unei comunicatii prin UART		4
Interogare periferice – LCD, afisaj 8-segmente, module VGA, mouse, tastatura, porturi I/O		4
Proiectarea unui sistem complex de achizitie de date		4
Recapitulare. Prezentare modele subiecte examen		4

Bibliografie

1. Coanda H.G., Ioniță M.G., Sisteme cu FPGA – îndrumar de laborator, 2020, https://moodle.valahia.ro/course/view.php?id=804
2. Rotaru M., Stanciu C., Ciochina S., Albu F., Coanda H.G., A FPGA Implementation of Prediction Error Method for Adaptive Feedback Cancellation using Xilinx System Generator, IARIA 2013 (ADAPTIVE 2013), Valencia, Spania, ISBN 978-1-61208-274-5, pp. 26-29
3. Albu F., Coanda H.G., Coltuc D., Rotaru M., Intemittently Updated Simplified Proportionate Affine Projection Algorithm, IARIA 2014 (ADAPTIVE 2014), pp. 42 – 47, Venetia, Italia, ISBN 978-1-61208-274-5
4. Richard Haskell, Darrin Hanna, Introdction to Digital Design Using Digilent FPGA Boards – Block Diagram / VHDL Examples, LBE Books, 2009
5. Synopsys, FPGA Compiler II / FPGA Express Verilog HDL Reference Manual, 1999
6. Clive Maxfield, The Design Warrior's Guide to FPGAs, Elesevier, 2004
7. Pong P. Chu, FPGA prototyping by VHDL Examples, Wiley, 2008

8.2 Proiect/laborator	Metode de predare	Observaţii
Laborator	problematizarea, reflecţia personală, exerciţiul, dezbaterea, studiul de caz	**28 h**
Caracteristici si test placa de dezvoltare Nexys 4DDR. Prezentare mediu de dezvoltare software Vivado.		2h
Verilog – elemente de limbaj		4h
Aplicatii pentru Nexys 4DDR in Verilog – porturi I/O		2h
Aplicatii pentru Nexys 4DDR in Verilog – afisaj 8-segmente		2h
Aplicatii pentru Nexys 4DDR in Verilog – generare semnale de ceas si PWM		2h
Aplicatii pentru Nexys 4DDR in Verilog – implementare MUX/DMUX		2h
Aplicatii pentru Nexys 4DDR in Verilog – implementare sumator, comparator		2h
Aplicatii pentru Nexys 4DDR in Verilog – implementare bistabili		2h
Aplicatii pentru Nexys 4DDR in Verilog – implementare registre/numaratoare		2h
Aplicatii pentru Nexys 4DDR in Verilog – automate Mealy si Moore		2h
Aplicatii pentru Nexys 4DDR in Verilog – implementare UART		2h
Aplicatii pentru Nexys 4DDR in Verilog – achizitie date de la senzori		2h
Colocviu de verificare a competenţelor specifice		2h

Bibliografie

1. Coandă H.G., Ioniță M.G., Sisteme cu FPGA – îndrumar de laborator, 2020, https://moodle.valahia.ro/course/view.php?id=804
2. Rotaru M., Stanciu C., Ciochina S., Albu F., Coanda H.G., A FPGA Implementation of Prediction Error Method for Adaptive Feedback Cancellation using Xilinx System Generator, IARIA 2013 (ADAPTIVE 2013), Valencia, Spania, ISBN 978-1-61208-274-5, pp. 26-29
3. Richard Haskell, Darrin Hanna, Introdction to Digital Design Using Digilent FPGA Boards – Block Diagram / VHDL Examples, LBE Books, 2009
4. Synopsys, FPGA Compiler II / FPGA Express Verilog HDL Reference Manual, 1999
5. Clive Maxfield, The Design Warrior's Guide to FPGAs, Elesevier, 2004
6. Pong P. Chu, FPGA prototyping by VHDL Examples, Wiley, 2008
7. Exemple, http://www.asic-world.com/verilog/index.html
8. Xilinx, Exemple, https://www.xilinx.com/support/university/vivado/vivado-teaching-material/hdl-design.html

9. Coroborarea conţinuturilor disciplinei cu aşteptările reprezentanţilor comunităţii epistemice, asociaţiilor profesionale şi angajatori reprezentativi din domeniul aferent programului

Conținuturile disciplinei sunt corelate cu cerințele pregătirii inginerești și cu practicile profesionale din domeniul electronicii, telecomunicațiilor și tehnologiilor informaționale, prin dezvoltarea cunoștințelor și aptitudinilor privind proiectarea și implementarea sistemelor digitale programabile bazate pe FPGA. Studiul arhitecturilor dispozitivelor logice programabile, al limbajului Verilog și al metodelor de realizare a circuitelor combinaționale și secvențiale contribuie la formarea capacității de dezvoltare a modulelor și sistemelor hardware digitale. Activitățile de laborator, realizate utilizând mediul Vivado și platformele FPGA, dezvoltă aptitudini practice de simulare, sinteză, implementare, configurare și verificare a aplicațiilor, inclusiv a interfețelor pentru periferice, comunicațiilor UART și sistemelor de achiziție de date. Aceste aptitudini sunt relevante pentru activitățile de proiectare hardware, dezvoltare de sisteme încorporate, integrare și testare a circuitelor digitale programabile, în concordanță cu cerințele mediului profesional și cu evoluția tehnologiilor electronice.

10. Evaluare

Tip activitate	10.1 Criterii de evaluare	10.2 Metode de evaluare	10.3 Pondere din nota finală
10.4 Curs	Cunoașterea arhitecturilor FPGA, a principiilor de descriere hardware în Verilog și a metodelor de proiectare a circuitelor digitale; corectitudinea elaborării, simulării și verificării unei aplicații Verilog în raport cu cerințele funcționale. (C1, A1–A2, A4, RA1–RA2)	Examen pe calculator	40%
10.5 Seminar/laborator	Corectitudinea realizării aplicațiilor Verilog, utilizarea mediului Vivado și a platformelor FPGA, funcționarea circuitelor implementate, interpretarea rezultatelor și calitatea documentării activităților. (A1–A4, RA1–RA3)	referate de laborator	40%
	Cunoașterea elementelor fundamentale ale limbajului Verilog, a circuitelor combinaționale și secvențiale și a etapelor de implementare FPGA; identificarea soluțiilor corecte pentru problemele de proiectare digitală. (C1, A1–A2, A4)	test grilă laborator Upload referate Moodle (online)	20%
10.6 Standard minim de performanță			
- Identificarea și explicarea principiilor fundamentale ale arhitecturilor FPGA, a elementelor de bază ale limbajului Verilog și a etapelor de realizare a unui proiect digital. (C1) - Elaborarea unei descrieri Verilog funcționale pentru un circuit combinațional simplu, precum un multiplexor, sumator sau comparator, cu verificarea comportării acestuia prin simulare. (A1–A2) - Elaborarea și verificarea unei descrieri Verilog pentru un circuit secvențial elementar, precum un bistabil, registru sau numărător. (A1–A2) - Realizarea unei aplicații simple de interfațare a unui periferic sau de generare și prelucrare a unui semnal digital pe o platformă FPGA. (A3) - Utilizarea mediului Vivado pentru crearea unui proiect, verificarea sintactică, simularea și implementarea unei aplicații Verilog pe o platformă FPGA. (A4, RA1–RA2) - Elaborarea și prezentarea unor referate de laborator care să includă descrierea circuitelor, codul Verilog, rezultatele simulării sau testării și concluziile privind funcționarea aplicațiilor, cu respectarea cerințelor de corectitudine și responsabilitate profesională. (A1–A4, RA1–RA3) Pentru promovarea disciplinei, studentul trebuie să obțină minimum 50% din punctajul total cumulat și minimum 50% din punctajul aferent examenului pe calculator.		

Fișa disciplinei corespunde planului de învățământ care se aplică pentru anul I începând cu anul universitar 2022-2023, fiind valabilă pentru anul universitar 2026-2027

Data completării 10.09.2026	Titularul de curs Prof. univ. dr. ing. Henri-George COANDĂ	Titularul de aplicații Prof. univ. dr. ing. Henri-George COANDĂ
Data avizării în departament 23.09.2026	Director de departament Conf. univ. dr. ing. Dan Constantin PUCHIANU	
Data avizării în Consiliul Facultății 24.09.2026	Decan Conf. univ. dr. ing. Nicoleta ANGELESCU	