



FIȘA DISCIPLINEI

1. Date despre program

1.1 Instituția de învățământ superior	Universitatea Valahia din Târgoviște
1.2 Facultatea/Departamentul	Facultatea de inginerie Electrică, Electronică și Tehnologia Informației
1.3 Departamentul	Electronică, Telecomunicații și Inginerie energetică
1.4 Domeniul de studii	Electronică, Telecomunicații și Tehnologii Informaționale
1.5 Ciclul de studii	Master
1.6 Programul de studii/Calificarea	Sisteme avansate de telecomunicații, prelucrarea și transmisia informației

2. Date despre disciplină

2.1 Denumirea disciplinei	Tehnici Avansate pentru Sisteme Embedded						
2.2 Titularul activităților de curs	Prof. dr. ing. Henri-George COANDA						
2.3 Titularul activităților de seminar	Prof. dr. ing. Henri-George COANDA						
2.4 Anul de studiu	I	2.5 Semestrul	I	2.6 Tipul de evaluare	E	2.7 Regimul disciplinei	O S

3. Timpul total estimat (ore pe semestru al activităților didactice)

3.1 Număr de ore pe săptămână	2	din care: 3.2 curs	1	3.3 seminar/laborator	1L
3.4 Total ore din planul de învățământ	28	din care: 3.5 curs	14	3.6 seminar/laborator	14
Distribuția fondului de timp					ore
Studiul după manual, suport de curs, bibliografie și notițe					30
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren					16
Pregătire seminarii/laboratoare, teme, referate, portofolii și eseuri					20
Tutoriat					2
Examinări					4
Alte activități					-
3.7 Total ore studiu individual					72
3.9 Total ore pe semestru					100
3.10 Numărul de credite					4

4. Precondiții (acolo unde este cazul)

4.1 de curriculum	Circuite integrate digitale / Electronica digitala
4.2 de competențe	-

5. Condiții (acolo unde este cazul)

5.1 de desfășurare a cursului	Videoproiector, whiteboard, laptop, Moodle, Microsoft Teams (online). În funcție de situația epidemiologică, cursurile se vor desfășura on-line, în conformitate cu procedura aprobată, pe platformele MS Teams și Moodle
5.2 de desfășurare a seminarului/laboratorului	Software – Matlab. În funcție de situația epidemiologică, aplicațiile se vor desfășura on-line, în conformitate cu procedura aprobată, pe platformele MS Teams și Moodle.

6.Competențe specifice acumulate

Competențe profesionale	C1.2 Folosirea unor cunoștințe interdisciplinare pentru adaptarea sistemelor complexe de prelucrare de semnal la cerințele dinamice ale domeniului. Înțelegerea, selecționarea, proiectarea și implementarea algoritmilor specifici de prelucrare a semnalelor audio/video. (1 ECTS) C2.3 Utilizarea de instrumente software pentru analiză și sinteză în prelucrarea informației și proiectarea modulelor și echipamentelor electronice. (1 ECTS) C2.4 Utilizarea criteriilor de performanță adecvate pentru evaluarea, inclusiv prin simulare, a hardware-ului și software-ului unor sisteme dedicate sa a unor activități de servicii în care se folosesc microcontroller-e, FPGA-uri, DSP-uri, etc. (2 ECTS)
Competențe transversale	-

7.Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

7.1 Obiectivul general al disciplinei	Să ofere noțiuni avansate despre tipurile, arhitectura si capabilitatile FPGA.
7.2 Obiectivele specifice	- Sa prezinte arhitectura FPGA propuse de Digilent - Sa prezinte solutii de implementare pentru circuite fundamentale - Sa permita compararea si diferentierea fata de microcontrolere, microprocesoare si DSP-uri - Sa permita programarea in Verilog si dezvoltarea/proiectarea de rutine proprii

8.Conținuturi

8.1 Curs	Metode de predare	Observații
Arhitecturi cu PLD, PLA, CPLD, FPGA, structura placa de dezvoltare Nexys 4DDR. Exemple	Prelegerea, Prelegerea-dezbateri, Explicația, Problematizarea, Brainstormingu-ul, Reflecția personală, Studiul de caz Mijloace de învățământ Slide-uri PPT Videoproiector Laptop	2
Limbaje de programare – Verilog vs VHDL. Exemple		1
Solutii de programare in Verilog – behavioral Level, RTL Level, Gate Level, Switch Level. Exemple. Solutii de abstractizare		1
Elemente si structura de limbaj Verilog – identificatori, module, porturi, registre si noduri, operatori, blocuri (executie secventiala, paralela), controlul executiei in timp, intarzieri, directive de compilare, parametrii		4
Implementarea in Verilog a unei comunicatii prin UART/SPI/I2C		2
Proiectarea unui sistem de achizitie de date: senzori, transmisie de date spre PC si prin modem GSM		4
Bibliografie		
1. Rotaru M., Stanciu C., Ciochina S., Albu F., <u>Coanda H.G.</u> , <i>A FPGA Implementation of Prediction Error Method for Adaptive Feedback Cancellation using Xilinx System Generator</i> , IARIA 2013 (ADAPTIVE 2013), Valencia, Spania, ISBN 978-1-61208-274-5, pp. 26-29		
2. Albu F., <u>Coanda H.G.</u> , Coltuc D., Rotaru M., <i>Intermittently Updated Simplified Proportionate Affine Projection Algorithm</i> , IARIA 2014 (ADAPTIVE 2014), pp. 42 – 47, Venetia, Italia, ISBN 978-1-61208-274-5		
3. Richard Haskell, Darrin Hanna, <i>Introdction to Digital Design Using Digilent FPGA Boards – Block Diagram / VHDL Examples</i> , LBE Books, 2009		
4. Synopsys, <i>FPGA Compiler II / FPGA Express Verilog HDL Reference Manual</i> , 1999		
5. Clive Maxfield, <i>The Design Warrior's Guide to FPGAs</i> , Elsevier, 2004		
6. Pong P. Chu, <i>FPGA prototyping by VHDL Examples</i> , Wiley, 2008		
8.2 Seminar/laborator	Metode de predare	Observații
Laborator	Problematizarea, Reflecția personala, Exercițiul, Dezbateri, Studiul de caz	
Caracteristici si test placa de dezvoltare Nexys 4DDR. Prezentare mediu de dezvoltare software Vivado.		4h
Divizoare de ceas si generarea de semnale PWM		2h
Generarea semnalelor de comanda pentru encodere		2h
Module audio si video. Testarea capabilitatilor pentru Nexys 4DDR		2h
Achizitie de date de la senzori si transmisie prin modem GSM		4h
Bibliografie		
1. Rotaru M., Stanciu C., Ciochina S., Albu F., <u>Coanda H.G.</u> , <i>A FPGA Implementation of Prediction Error Method for Adaptive Feedback Cancellation using Xilinx System Generator</i> , IARIA 2013 (ADAPTIVE 2013), Valencia, Spania, ISBN 978-1-61208-274-5, pp. 26-29		
2. Richard Haskell, Darrin Hanna, <i>Introdction to Digital Design Using Digilent FPGA Boards – Block Diagram / VHDL Examples</i> , LBE Books, 2009		

3. Synopsys, *FPGA Compiler II / FPGA Express Verilog HDL Reference Manual*, 1999
4. Clive Maxfield, *The Design Warrior's Guide to FPGAs*, Elsevier, 2004
5. Pong P. Chu, *FPGA prototyping by VHDL Examples*, Wiley, 2008
6. Exemple, <http://www.asic-world.com/verilog/index.html>
7. Xilinx, Exemple, <https://www.xilinx.com/support/university/vivado/vivado-teaching-material/hdl-design.html>

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatori reprezentativi din domeniul aferent programului

Cunoștințele acumulate și competențele dobândite permit:

1. Programare în Vivado și utilizare Nexys 4DDR;
2. Implementarea unor circuite simple și complexe de tip CLC și CLS;
3. Programarea unei comunicații cu senzori direct prin I/O digitale, UART sau I2C și SPI
4. Angajarea absolvenților în industria locală – ex. Renault Titu.

10. Evaluare

Tip activitate	10.1 Criterii de evaluare	10.2 Metode de evaluare	10.3 Pondere din nota finală
10.4 Curs	Partial scris Examen scris final	Examen grila + eseu Teme de casa <i>Test Moodle + Teams (online)</i>	40% 20%
10.5 Seminar/laborator	Referate de laborator (determinări experimentale, rezultate și concluzii) Test final laborator	referate de laborator test grilă laborator <i>Upload referate Moodle (online)</i>	40%
10.6 Standard minim de performanță			
➤ Minim 5 la evaluările din laborator. ➤ Minim nota 5 la examenul final ➤ Pentru nota 5: elemente de baza ale limbajului Verilog, realizarea unui circuit simplu în Vivado			

Data
completării:
08.09.2026

Semnătura titularului de curs
Prof.dr.ing. Henri-George COANDA

Semnătura titularului de aplicații
Prof.dr.ing. Henri-George COANDA

Data avizării în departament:
23.09.2026

Director de departament
Conf. dr.ing. Dan Constantin PUCHIANU

Data avizării în Consiliul Facultății
24.09.2026

Decan
Conf.dr.ing. Nicoleta ANGELESCU